

DRIVING METHOD OF PLASMA DISPLAY PANEL AND PLASMA DISPLAY DEVICE

Patent Number: JP11338418
Publication date: 1999-12-10
Inventor(s): HASHIMOTO TAKASHI; IWATA AKIHIKO
Applicant(s):: MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP11338418
Application Number: JP19980144288 19980526
Priority Number(s):
IPC Classification: G09G3/28 ; G09G3/20 ; H01J11/02
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To install a low-cost reactive power recovery circuit on PDP divided into a plurality of blocks.

SOLUTION: X electrode X1 and X electrode X2 are connected through FET 15 and a coil 41, and Y electrode Y1 and Y electrode Y2 are connected through FET 21 and a coil 43, and the X electrode X2 and the Y electrode Y1 are connected through FET 16 and a coil 42, and the Y electrode Y2 and the X electrode X1 are connected through FET 22 and a coil 44. FET 11 and FET 18 are changed to OFF state, and then FET 15 is charged to ON state, and energy stored in a capacitive component CP1 is discharged to a capacitive component CP2 along a route through the coil 41. When the electric potential of the X electrode X2 reaches an electric potential Vs in the middle of energy discharge, FET 17 is changed to ON state and the X electrode X2 is maintained on the electric potential Vs. After FET 15 is changed to OFF state, FET 12 is changed to ON state and the X electrode X1 is grounded.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(51) Int.Cl.⁶
 G 0 9 G 3/28
 3/20 6 2 1
 H 0 1 J 11/02

F I
 G 0 9 G 3/28 J
 3/20 6 2 1 G
 H 0 1 J 11/02 C

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号 特願平10-144288

(22) 出願日 平成10年(1998) 5月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 橋本 隆

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 岩田 明彦

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

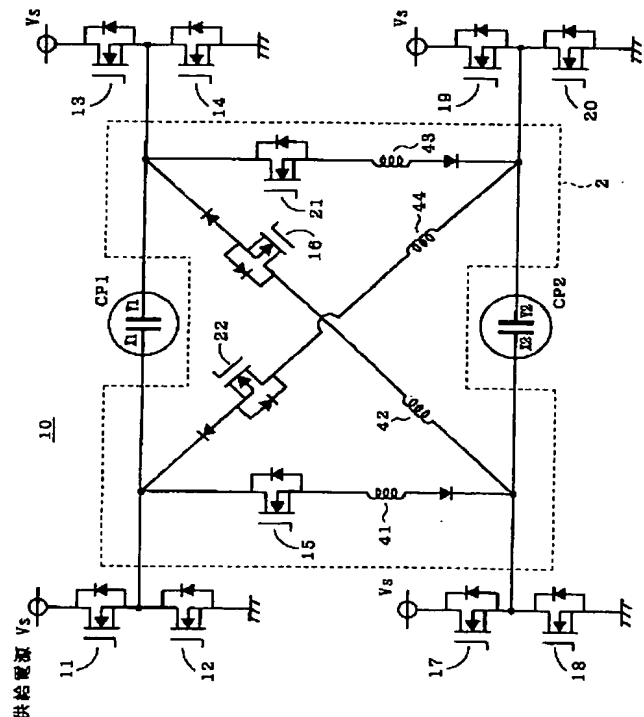
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法及びプラズマディスプレイ装置

(57) 【要約】

【課題】 複数のブロックに分割されたPDPに低コストな無効電力回収回路を設ける。

【解決手段】 X電極X1とX電極X2とがFET15とコイル41とを介して接続され、Y電極Y1とY電極Y2とがFET21とコイル43とを介して接続され、X電極X2とY電極Y1とがFET16とコイル42とを介して接続され、Y電極Y2とX電極X1とがFET22とコイル44とを介して接続される。FET11、FET18をOFFにした後にFET15をONにして、コイル41を介する経路を通じて、容量成分CP1に貯えられていたエネルギーを容量成分CP2に放出する。エネルギー放出の途中においてX電極X2の電位が電位Vsに達した時にFET17をONにして、X電極X2を電位Vsに保持する。FET15をOFFにした後にFET12をONにして、X電極X1を接地する。



【特許請求の範囲】

【請求項 1】 少なくとも一方が誘電体で覆われた第 1 の電極及び第 2 の電極から成る表示電極対を複数有し、前記複数の表示電極対が複数のブロックに分割されたプラズマディスプレイパネルに対して、前記第 1 及び第 2 電極間に交互に極性が変わるパルス電圧を前記複数のブロック毎に位相をずらして印加することによって、ガス放電を繰り返し発生させるプラズマディスプレイパネルの駆動方法において、

一の前記ブロックの前記表示電極対間の容量成分に蓄積されたエネルギーを、他の前記ブロックの前記表示電極対間の容量成分への充電に利用することを特徴とする、プラズマディスプレイパネルの駆動方法。

【請求項 2】 請求項 1 に記載のプラズマディスプレイパネルの駆動方法であって、

前記一のブロックの前記容量成分に充電されたエネルギーをインダクタを介して所定の容量成分に蓄積して、前記他のブロックの表示電極対間の容量成分への充電に利用することを特徴とする、プラズマディスプレイパネルの駆動方法。

【請求項 3】 請求項 2 に記載のプラズマディスプレイパネルの駆動方法であって、

前記所定の容量成分とは前記他のブロックの内の一のブロックの前記表示電極対間の容量成分であり、

前記一のブロックの表示電極対の内の高電位側の電極と、共に低電位にある前記他の一のブロックの表示電極対の内のいずれかの電極との間の、前記インダクタを介する経路の導通状態を形成し、

当該経路を介して前記一のブロックの容量成分に蓄積されたエネルギーを前記他の一のブロックの前記表示電極対間の容量成分に放出し、

当該エネルギーの放出の途中において前記他の一のブロックの前記容量成分の電圧の絶対値が略最大値になったときに、当該エネルギーの放出に加えて前記他の一のブロックの前記容量成分を所定の電位に充電し、前記経路の導通状態を解消することを特徴とする、プラズマディスプレイパネルの駆動方法。

【請求項 4】 請求項 2 に記載のプラズマディスプレイパネルの駆動方法であって、

前記一のブロックの表示電極対の内の高電位側の電極と、前記所定の容量成分との間の、前記インダクタを介する経路の導通状態を形成し、

当該経路を介して前記一のブロックの容量成分に蓄積されたエネルギーを前記所定の容量成分に放出し、

当該エネルギーの放出の途中において前記所定の容量成分の電圧の絶対値が略最大値になったときに前記経路の導通状態を解消し、前記一のブロックの前記高電位側の電極を低電位に保持し、

前記所定の容量成分と、共に低電位にある前記他のブロックの内の一のブロックの前記表示電極対の内のいずれ

かの電極との間の、前記インダクタ又は他のインダクタを介する経路の導通状態を形成し、

当該経路を介して前記所定の容量に蓄積されたエネルギーを前記他の一のブロックの前記表示電極対間の容量成分に放出し、

当該エネルギーの放出の途中において前記他の一のブロックの容量成分の電圧の絶対値が最大値になったときに前記経路の導通状態を解消し、前記他の一のブロックの容量成分を所定の電位に充電することを特徴とする、プラズマディスプレイパネルの駆動方法。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載のプラズマディスプレイパネルの駆動方法であって、前記パルス電圧は外部印加電圧主体の放電及び壁電荷主体の放電を起こしうることの特徴とする、プラズマディスプレイパネルの駆動方法。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載のプラズマディスプレイパネルの駆動方法により駆動されるプラズマディスプレイパネルを備えることを特徴とする、プラズマディスプレイ装置。

【請求項 7】 請求項 6 に記載のプラズマディスプレイ装置であって、

前記一のブロックの表示電極対と前記他のブロックの内の一のブロックの表示電極対とが隣接して配置されていることを特徴とする、プラズマディスプレイ装置。

【請求項 8】 少なくとも一方が誘電体で覆われた第 1 の電極及び第 2 の電極から成る表示電極対を複数有し、前記複数の表示電極対が複数のブロックに分割されたプラズマディスプレイパネルと、

前記第 1 及び第 2 電極間に交互に極性が変わるパルス電圧を前記各ブロック毎に位相をずらして印加して前記プラズマディスプレイパネルを駆動する前記各ブロック用の駆動回路とを備え、

前記駆動回路のそれぞれは、少なくともインダクタとスイッチ素子とが直列接続された経路を介して所定の容量に接続されており、

前記所定の容量は、前記複数のブロックのいずれかの容量成分から放出されたエネルギーを蓄積することを特徴とする、プラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、交流面放電型プラズマディスプレイパネル（以下、「AC-PDP」と称する）を有するプラズマディスプレイ装置に関するものであり、AC-PDP の駆動方法とその駆動回路、特に無効電力回収回路に関する。

【0002】

【従来の技術】PDP は、薄型のテレビジョンまたはディスプレイモニタとして種々の研究がなされている。その中で、メモリ機能を有する AC-PDP の一つとして、面放電型の AC-PDP があり、以下に、この PD

Pの構造を図6を用いて説明をする。

【0003】図6は、従来の面放電型AC-PDPの構造を示す斜視図であり、このような構造の面放電型AC-PDPは、例えば特開平7-140922号公報や特開平7-287548号公報に開示されるものである。同図6において、面放電型AC-PDP 101は、表示面である前面ガラス基板102と、前面ガラス基板102と放電空間を挟んで対向配置された背面ガラス基板103とを備える。そして、前面ガラス基板102の放電空間側の表面上には、互いに対をなす第1電極104及び第2電極105がそれぞれn本ずつ延長形成されている。但し、図6に示すように、第1、第2電極104、105の表面上の一部に、金属補助電極（バス電極）を有する場合には、当該金属電極をも含めて、それぞれを「第1電極104」、「第2電極105」と呼ぶこともできる。なお、第1、第2電極104、105をそれぞれ行電極104、105とも呼ぶ。AC-PDPは両行電極104、105を被覆するように誘電体層106が形成されている。また、図6に示すように、誘電体層106の表面上に誘電体であるMgO（酸化マグネシウム）から成るMgO膜107が蒸着法などの方法により形成される場合もあり、この場合には、誘電体層106とMgO膜107とを総称して、「誘電体層106A」とも呼ぶ。

【0004】他方、背面ガラス基板103の放電空間側の表面上には、m本の第3電極108（以下「列電極108」と称す）が行電極104、105と直交するように延長形成されており、隣接する列電極108間には、隔壁110が列電極108と平行に延長形成されている。この隔壁110は、各放電セルを分離する役割を果たすと共に、PDPが大気圧により潰されないように支える支柱の役割も果たす。そして、各列電極108の表面上及び隔壁110の側壁面上には、それぞれ赤、緑、青に発光する蛍光体層109が順序よくストライプ状に設けられている。

【0005】上述の構造を備える前面ガラス基板102と背面ガラス基板103とは互いに封着され、両ガラス基板102、103の間の空間にはNe-Xe混合ガスやHe-Xe混合ガスなどの放電用ガスが大気圧以下の圧力で封入されている。このような構造を有する面放電型AC-PDPにおいて、互いに対となる行電極104、105と列電極108により区画される放電空間が、当該PDPの1つの放電セル、即ち画素となる。

【0006】次に、上述の従来のPDPの表示動作の原理について説明する。

【0007】まず、行電極104、105間に電圧パルスを加えて、放電を起こす。そして、この放電により生じる紫外線が蛍光体層109を励起することにより、放電セルが発光する。この放電の際に、放電空間中に生成された電子やイオンは、それぞれの極性とは逆の極性

を有する行電極104、105の方向に移動し、行電極104、105上の誘電体層106Aの表面上に蓄積する。このようにして誘電体層106Aの表面上に蓄積した電子やイオンなどの電荷を「壁電荷」と呼ぶ。なお、壁電荷の量は、外部印加電圧値に依存するため、壁電荷が形成する電位は、外部印加電圧以上の値とはなり得ない。

【0008】この壁電荷が形成する電界は印加電界を弱める方向に働くため、壁電荷の形成に伴い、放電は急速に消滅する。放電が消滅した後に、先程とは極性を反転した電圧パルスを行電極104、105間に印加すると、この印加電界と壁電荷による電界とが重畳された電界が、実質的に放電空間に印加されるため、再び放電を起こすことができる。このように、一度放電が起きると、放電開始時の電圧に比べて低い印加電圧（以下「維持電圧」と称す）を印加することで、放電を起こすことができるため、両行電極104、105間に順次に極性を反転させた維持電圧（以下「維持パルス」とも呼ぶ）を印加すれば、放電を定常的に維持させることができる。以下、この放電を「維持放電」と呼ぶ。

【0009】この維持放電は、壁電荷が消滅するまでの間であれば、維持パルスが印加され続ける限り持続される。なお、壁電荷を消滅させることを「消去」と呼び、これに対して、放電開始の初期に誘電体層106A（MgO膜107）上に壁電荷を形成することを「書き込み」と呼ぶ。従って、AC-PDPの画面の任意のセルについて、まず書き込みを行い、その後は維持放電を行うことによって、文字・図形・画像などを表示することができる。また、書き込み、維持放電、消去を高速に行うことによって、動画表示もできる。

【0010】さて、上述の動作原理によれば、印加パルスの立ち上がり時の放電は、実効的な電圧は外部印加電圧が主体であり、壁電荷はあくまでもその補佐として働いていると言うことができる。そこで、この放電を「外部印加電圧主体の放電」と呼ぶ。

【0011】他方、外部印加電圧が非常に高電圧の場合、壁電荷は放電開始電圧以上の電位を形成することがある。この場合には、印加パルスの立ち下がり時において、当該壁電荷だけで放電が起こり得る。このように、外部から電圧が印加されていない状態で発生する放電を「自己消去放電」と呼ぶ。このような放電の実効電圧は壁電荷が主体であるため、「壁電荷主体の放電」と呼ぶ。なお、壁電荷主体の放電時に、放電がより大きくなる方向に外部印加電圧を補佐的に印加しても良いため、ここでは、外部電圧が印加されている場合も含めて、「壁電荷主体の放電」を定義することにする。

【0012】また、「外部印加電圧主体の放電」と「壁電荷主体の放電」とを併用してAC-PDPを駆動する場合、壁電荷主体の放電の終了後においては、壁電荷が少なくなっているため、引き続き外部印加電圧主体の

放電を起こすためには、(A)より高い外部印加電圧を印加する、又は、(B)先の壁電荷主体の放電時に生成された空間電荷により、放電開始電圧が低くなっている状態の時に外部印加電圧を印加する必要がある。(A)の場合、高電圧の印加は非点灯セルの点灯につながる可能性があるため、実質的に「壁電荷主体の放電」を併用して駆動する場合は(B)が望ましい。また、(B)の場合であれば、放電空間内の電界は(A)よりも弱く駆動できるため、(a)1回あたりの放電の電流密度を下げることができ、(b)放電効率ないしは発光効率を向上でき、(c)ピーク電流値の低減が可能である。この時、上記の効果(c)に伴って、(d)駆動回路やパネルに存在する抵抗成分による、PDPの駆動時における電力損失を減少することができる。加えて、(e)プラズマディスプレイ装置内のインダクタンスや抵抗成分による電圧降下(電圧ドロップ)が低減されるので、印加電圧のマージンを拡大することができる。

【0013】他方、壁電荷主体の放電は、(f)たとえパネル内に電圧分布が存在していても、そのセルの放電特性に応じた量の壁電荷を形成して放電が終了するため、引き続き外部印加電圧主体の放電を起こした場合には、各セルの発光強度をそろえることができる。従って、上記(B)の駆動方法によれば、(g)パネルの面内輝度のばらつき(表示のムラ)を抑制・除去することができる。

【0014】ここで、上記の効果(b)について詳述する。

【0015】AC-PDPは通常グロー放電領域において放電するように駆動されるので、放電電流の電流密度が高くなると放電(発光)効率が低下してしまうという問題がある。なお、かかる問題点に関しては、例えば「プラズマディスプレイ最新技術(御子柴茂生著:EDリサーチ,1996年発行)」に詳しく述べられている。かかる問題点を解消して放電効率の高効率化を図るためには、上述の外部印加電圧主体の放電のみで維持放電を持続する場合では、放電電流の電流密度を小さくするために外部印加電圧を維持電圧のマージンの限界まで低くすれば良い。しかしながら、維持電圧のマージン限界近傍の電圧でPDPを駆動する場合には放電が不安定になってしまうという別の問題を惹起させてしまう。

【0016】これに対して、外部電圧主体の放電と壁電荷主体の放電とを併用して維持放電を持続させる場合には、上記の効果(f)で説明したように、壁電荷主体の放電時に余分な壁電荷を除去できるので、引き続き外部印加電圧主体の放電において放電電流の電流密度を安定的に下げることができる。従って、壁電荷主体の放電をも利用するPDPの駆動方法によれば、安定的な放電(発光)を維持しつつ放電効率を向上することができる。しかも、かかる併用駆動方法によれば、(h)ギャップ電圧(表示電極対間の電圧)が低くすることができ

るので、Neの可視発光を抑制して、色純度を改善することができる。

【0017】従来のAC-PDP101の駆動方法の一つとしては、例えば、画像表示のための1フレーム

(F)を複数の期間(サブフィールド)に分割し、かかるサブフィールドを更に「リセット期間」、「アドレス期間」、「維持放電期間(表示期間)」の3つに分割して駆動する方法がある。ここで、各期間について簡単に説明をする。

【0018】まず、「リセット期間」では、直前のサブフィールドの終了時点での表示履歴を消去するとともに、引き続きアドレス期間での放電確率を上げるためのブライミング粒子の供給を行う。

【0019】次に、「アドレス期間」では、マトリックスの選択により表示すべきセルのみを選択的に放電させて、そのセルに書き込みを行う。

【0020】そして、「維持放電期間」では、行電極X、Y間に維持パルスを印加することにより、この維持放電期間中、書き込みが行われたセルの維持放電が持続する。

【0021】さて、AC-PDPの階調表示については、上述の1フレーム期間を複数のサブフィールドに分割する駆動方法では、各サブフィールドの維持パルス回数を、例えばバイナリに変えることで階調表示を行う方法が知られている。例えば、n個のサブフィールドでバイナリの重み付けをした場合、2ⁿの階調を得ることができる。

【0022】さて、上記のAC-PDPの発光の効率をより向上させるために種々の研究・開発がなされている。ここでは、その中でもPDP駆動時の電力損失を改善することによって、発光の高効率化を達成する技術について検討する。

【0023】(無効電力回収回路)AC-PDPは容量性の負荷であるため、このPDPを充・放電する際に駆動電圧パルスの電圧値の2乗及びパネルの容量成分に比例する無効電力(放電ないしは発光に寄与しない電力)が生じる。従って、PDPのパネルサイズの増加に伴ってパネルの容量性負荷も増加するため、全消費電力における無効電力は無視できないほど大きなものになる。

【0024】そこで、かかる無効電力を回収する回路についての技術が、例えば特開平8-152865号公報や特公昭56-30730号公報に開示されている。図7は前者の公報に開示される無効電力回収回路(以下、「回収回路」とも呼ぶ)を有するプラズマディスプレイ装置の構成を示す図である。同図7に示すプラズマディスプレイ装置は、容量成分CPを有するPDP201と、スイッチ素子であるFET204~207を有するパルス発生回路206とを備え、更に、スイッチ素子であるFET212、213とコイル208と抵抗209とダイオード210、211とから成る無効電力回収回

路 202 が PDP 201 (従って、容量成分 CP) と並列に接続されている。このため、回収回路 202 は並列共振型の無効電力回収回路とも呼ばれる。当該プラズマディスプレイ装置において、PDP 201 の放電後の容量成分 CP に蓄積されているエネルギーを一度コイル 208 に吸収させ、引き続き放電のために直ちにこのエネルギーを前回の放電時とは逆極性の方向に再充電するように FET 204~207, 212, 213 が駆動制御される。このようにして、図 7 のプラズマディスプレイ装置は、回収回路 202 によって容量成分 CP の放電エネルギーを回収・再利用している。

【0025】他方、図 8 は、例えば特開昭 62-192798 号公報や特開昭 63-101897 号公報に示される無効電力回収回路 302 を有するプラズマディスプレイ装置の構成を示す図である。同図 8 に示すように、当該プラズマディスプレイ装置は、容量成分 CP を有する PDP と、スイッチ 304~307 を有するパルス発生回路とを備え、スイッチ 312~315 とコイル 308, 309 とコンデンサ 310, 311 から成る回収回路 302 を備える。図 8 に示すように、回収回路 302 は容量成分 CP (即ち PDP) の両端に直列に接続されるため、直列共振型の無効電力回収回路とも呼ばれる。当該プラズマディスプレイ装置において、スイッチ 312~314 を適切に制御することにより、放電後の容量成分 CP に蓄積されているエネルギーをコイル 308, 309 を介して一旦コンデンサ 310, 311 に回収した後に、所定のタイミングにおいて上記エネルギーを利用して容量成分 CP を再充電している。

【0026】図 8 の直列共振型の回収回路 302 は、図 7 の並列共振型の回収回路 202 と比較して、その部品点数が多く、部品スペースも大きいのでコストが高くなるが、他方において、放電エネルギーを一度コンデンサ 310, 311 に充電する駆動方法なので、駆動電圧パルスの設計 (特に印加タイミング) の自由度が大きく、従って、放電をコントロールしやすいという利点がある。特に、上述の壁電荷主体の放電を併用する駆動方法において上記の利点が発揮される。即ち、かかる併用駆動方法では印加するパルス間に休止期間が必要であるため、上記休止期間を有さない並列共振型の回収回路 202 ではなく、直列共振型の回収回路 302 を採用する必要性がある。

【0027】(PDP の分割駆動) PDP の画面全体を同一位相で駆動する場合には、PDP の瞬時的な放電電流 (ピーク放電電流) が大きくなり、その分だけ電源容量も大きくしなければならない。特に、PDP の大画面化が進むにつれて、この傾向は顕著となる。

【0028】特開平 7-64508 号公報にはかかる事態に対処する技術 (以下、先行技術①と呼ぶ) が開示されており、図 9 に当該先行技術①に係るプラズマディスプレイ装置の構成を示す。

【0029】先行技術①では、図 9 に示すように、PDP 111 を例えば 2 つのブロック 111a, 111b に分割して、それぞれのブロックの X 電極 XP と Y 電極 YP と (同図 9 中では、XP11~XP1n, YP11~YP1n, XP21~XP2n, YP21~YP2n で表される) に、位相をずらした駆動電圧パルスを印加することによって上記の瞬時的な大電流を低減するものである。このとき、上記の位相をずらした駆動電圧パルスは、各ブロック毎に設けられた X 電極ドライバ回路 113a, 113b 及び Y 電極ドライバ回路 114a, 114b により印加される。

【0030】従って、先行技術①によればピーク放電電流を (電源から見て) 分散させることができるので、電源容量も小さくすることができ、更に、コモンインピーダンス (主にインダクタンス) による駆動電圧の低下や不要な輻射ノイズを防ぐことができる。

【0031】

【発明が解決しようとする課題】さて、上記先行技術①によればピーク放電電流を低減できるので、PDP の駆動回路や PDP における抵抗成分に起因する電力の損失を減少させることができる。従って、上記先行技術①は、より多くの電力を PDP の放電 (ないしは発光) に導入することができ、PDP の放電 (発光) 効率の向上に寄与しうる技術であると言える。

【0032】かかる観点から、本願発明者らは、上記先行技術①のように複数のブロックに分割された PDP に上述した無効電力回収回路を設けるならば、プラズマディスプレイ装置の省電力化を実現すると共に、より一層の放電 (発光) 効率の高効率化を達成することが可能であると考えに至った。

【0033】しかしながら、上記の分割された PDP の各ブロック毎に単純に無効電力回収回路を設けるだけでは、各回収回路に必要な部品の点数や設置スペースが多くなり、非常にコストが高くなってしまふ。特に、従来の直列共振型の無効電力回収回路をそのまま適用する場合には、到底採用に値しない技術になってしまう。

【0034】他方、従来の並列共振型の無効電力回収回路をそのまま上記の分割された PDP に適用する場合には印加パルス間に休止期間が存在しないので、壁電荷主体の放電を併用して駆動することができず、既述の壁電荷主体の放電の特長 (a) ~ (h) を利用することができない。

【0035】これに対して、上記先行技術①は、上記の分割された PDP に対して無効電力回収回路を設けるための具体的手段については一切開示していないし、何らの提案や示唆をも与えるものではない。

【0036】そこで、本発明は上記の考え (技術的思想) に基づいてなされたものであり、複数のブロックに分割された PDP において、できる限り部品点数や配置スペースが削減された低コストな無効電力回収回路を備

えるプラズマディスプレイ装置及びその駆動方法を提供することを目的とする。

【0037】

【課題を解決するための手段】 (1) 請求項1の発明に係るプラズマディスプレイパネルの駆動方法は、少なくとも一方が誘電体で覆われた第1の電極及び第2の電極から成る表示電極対を複数有し、前記複数の表示電極対が複数のブロックに分割されたプラズマディスプレイパネルに対して、前記第1及び第2電極間に交互に極性が変わるパルス電圧を前記複数のブロック毎に位相をずらして印加することによって、ガス放電を繰り返して発生させるプラズマディスプレイパネルの駆動方法において、一の前記ブロックの前記表示電極対間の容量成分に蓄積されたエネルギーを、他の前記ブロックの前記表示電極対間の容量成分への充電に利用することを特徴とする。

【0038】 (2) 請求項2の発明に係るプラズマディスプレイパネルの駆動方法は、請求項1に記載のプラズマディスプレイパネルの駆動方法であって、前記一のブロックの前記容量成分に充電されたエネルギーをインダクタを介して所定の容量成分に蓄積して、前記他のブロックの表示電極対間の容量成分への充電に利用することを特徴とする。

【0039】 (3) 請求項3の発明に係るプラズマディスプレイパネルの駆動方法は、請求項2に記載のプラズマディスプレイパネルの駆動方法であって、前記所定の容量成分とは前記他のブロックの内の一のブロックの前記表示電極対間の容量成分であり、前記一のブロックの表示電極対の内の高電位側の電極と、共に低電位にある前記他の一のブロックの表示電極対の内のいずれかの電極との間の、前記インダクタを介する経路の導通状態を形成し、当該経路を介して前記一のブロックの容量成分に蓄積されたエネルギーを前記他の一のブロックの前記表示電極間の容量成分に放出し、当該エネルギーの放出の途中において前記他の一のブロックの前記容量成分の電圧の絶対値が略最大値になったときに、当該エネルギーの放出に加えて前記他の一のブロックの前記容量成分を所定の電位に充電し、前記経路の導通状態を解消することを特徴とする。

【0040】 (4) 請求項4の発明に係るプラズマディスプレイパネルの駆動方法は、請求項2に記載のプラズマディスプレイパネルの駆動方法であって、前記一のブロックの表示電極対の内の高電位側の電極と、前記所定の容量成分との間の、前記インダクタを介する経路の導通状態を形成し、当該経路を介して前記一のブロックの容量成分に蓄積されたエネルギーを前記所定の容量成分に放出し、当該エネルギーの放出の途中において前記所定の容量成分の電圧の絶対値が略最大値になったときに前記経路の導通状態を解消し、前記一のブロックの前記高電位側の電極を低電位に保持し、前記所定の容量成分と、共に低電位にある前記他のブロックの内の一のブ

ックの前記表示電極対の内のいずれかの電極との間の、前記インダクタ又は他のインダクタを介する経路の導通状態を形成し、当該経路を介して前記所定の容量に蓄積されたエネルギーを前記他の一のブロックの前記表示電極対間の容量成分に放出し、当該エネルギーの放出の途中において前記他の一のブロックの容量成分の電圧の絶対値が最大値になったときに前記経路の導通状態を解消し、前記他の一のブロックの容量成分を所定の電位に充電することを特徴とする。

10 【0041】 (5) 請求項5の発明に係るプラズマディスプレイパネルの駆動方法は、請求項1乃至4のいずれかに記載のプラズマディスプレイパネルの駆動方法であって、前記パルス電圧は外部印加電圧主体の放電及び壁電荷主体の放電を起こしうることを特徴とする。

【0042】 (6) 請求項6の発明に係るプラズマディスプレイ装置は、請求項1乃至5のいずれかに記載のプラズマディスプレイパネルの駆動方法により駆動されるプラズマディスプレイパネルを備えることを特徴とする。

20 【0043】 (7) 請求項7の発明に係るプラズマディスプレイ装置は、請求項6に記載のプラズマディスプレイ装置であって、前記一のブロックの表示電極対と前記他のブロックの内の一のブロックの表示電極対とが隣接して配置されていることを特徴とする。

【0044】 (8) 請求項8の発明に係るプラズマディスプレイ装置は、少なくとも一方が誘電体で覆われた第1の電極及び第2の電極から成る表示電極対を複数有し、前記複数の表示電極対が複数のブロックに分割されたプラズマディスプレイパネルと、前記第1及び第2電極間に交互に極性が変わるパルス電圧を前記各ブロック毎に位相をずらして印加して前記プラズマディスプレイパネルを駆動する前記各ブロック用の駆動回路とを備え、前記駆動回路のそれぞれは、少なくともインダクタとスイッチ素子とが直列接続された経路を介して所定の容量に接続されており、前記所定の容量は、前記複数のブロックのいずれかの容量成分から放出されたエネルギーを蓄積することを特徴とする。

【0045】

【発明の実施の形態】 (実施の形態1)

40 (プラズマディスプレイ装置10の構成) 図1は、本実施の形態1に係るプラズマディスプレイ装置10の構成を模式的に示す図である。

【0046】 本プラズマディスプレイ装置10のPDP1は、既述の図6に示す構造のPDP101と同様の構造のものをを用いることができる。つまり、PDP1は、表示ライン方向(第1方向)に沿って配置された、少なくとも一方が誘電体(図6の誘電体層106又は106Aに相当)で覆われた第1の電極(図6の第1電極104に相当。以下「X電極」と呼ぶ)及び第2の電極(図6の第2電極105に相当。以下「Y電極」と呼ぶ)か

ら成る表示電極対を複数対備える。特に、PDP 1では、複数の表示電極対は2つのブロックに分割されて、このブロック毎に駆動される。なお、以下の説明では、第1ブロックに属するX電極、Y電極をそれぞれ「第1X電極」、「第1Y電極」と呼び、第2ブロックに属するX電極、Y電極をそれぞれ「第2X電極」、「第2Y電極」と呼ぶ。

【0047】図1に示すように、PDP 1はn本の第1X電極X1i (参照符号「X1」に続く数字i (i: 1~n) を以て区別し、以下「X電極X1i」とも呼ぶ) が互いに平行に形成されている。このX電極X1iと互いに対を成すn本の第1Y電極Y1i (表記方法についてはX電極X1iと同様とし、以下「Y電極Y1i」とも呼ぶ) が、X電極X1iに隣接して且つ平行に形成されている。つまり、X電極X1iとY電極Y1iとが第1ブロックの表示電極対X1i、Y1iを成す。そして、X電極X1i又はY電極Y1iのそれぞれの一端は、各電極X1i、Y1iに所定の信号(電位)を印加するための駆動回路である第1X電極ドライバ回路3a又は第1Y電極ドライバ回路4aに接続されている。なお、n本のX電極X1i又はY電極Y1iのそれぞれを総称して「(第1)X電極X1」又は「(第1)Y電極Y1」とも呼び、表示電極対X1i、Y1iを総称して「(第1)表示電極対X1、Y1」とも呼ぶ。

【0048】他方、第2ブロックに関しては、第2ブロックの表示電極対X2j、Y2j (参照符号「X2」、「Y2」に続く数字j (j: 1~n) を以て区別する) を成すn本の第2X電極X2j (以下「X電極X2j」とも呼ぶ) とn本の第2Y電極Y2j (以下「Y電極Y2j」とも呼ぶ) とが互いに平行に形成されている。そして、X電極X2j又はY電極Y2jのそれぞれの一端は、各電極X2j、Y2jに所定の信号(電圧)を印加するための第2X電極ドライバ回路3b又は第2Y電極ドライバ回路4bに接続されている。なお、n本のX電極X2j又はY電極Y2jのそれぞれを総称して「(第2)X電極X2」、「(第2)Y電極Y2」とも呼び、表示電極対X2j、Y2jを総称して「(第2)表示電極対X2、Y2」とも呼ぶ。

【0049】特に、本PDP 1では、図1に示すように、表示電極対X1i、Y1iと表示電極対X2j、Y2jとは交互に隣接して配置されている。

【0050】そして、表示電極対X1、Y1及び表示電極対X2、Y2の配設方向に直交する方向(第2方向)に沿って互いに平行に列電極W1~Wm (以下、総称して「W電極」とも呼ぶ) が順次に形成されており、W電極の各一端は列電極ドライバ回路5に接続されている。

【0051】次に、より具体的な駆動回路の構成を示す図2を用いて、図1の本プラズマディスプレイ装置10の基本的な回路構成を説明する。

【0052】まず、図2においては、(1) PDPの各

放電セルは容量性負荷であること、(2) PDPは2つのブロックに分割されている(図1参照) ことに鑑みて、PDP 1の互いに隣接しあう任意の放電セルを、第1ブロックに属する一方の放電セルに係る容量成分CP1と、第2ブロックに属する他方の放電セルに係る容量成分CP2として模擬的に図示している。

【0053】そして、図2に示すように、容量成分CP1、即ちPDP 1のX電極X1の上記一端は、ドレイン端子が供給電源Vs (Vs: サステイン電圧) に接続されたn型MOSFET 11のソース端子に接続されており、当該ソース端子はn型MOSFET 12のドレイン端子に接続されており、n型MOSFET 12のソース端子は接地されている。なお、両MOSFET 11、12のそれぞれに並列接続された既成ダイオードをも含めて、以降、FETと呼び、他の後述するMOSFETについても同様とする。

【0054】かかるFET 11、12は、第1X電極ドライバ回路3a (図1参照) の一部(維持放電時に表示放電電流が流れるメインラインを成す) を構成し、各FET 11、12のゲート端子に印加される駆動信号(ゲート電圧) によってX電極X1の電位を電源電位Vsあるいは接地電位に保持(クランプ) するためのクランプスイッチ素子として動作する。なお、かかる構成のクランプスイッチ素子を、それに含まれるFETの参照符号を用いて「クランプスイッチ素子11、12」のように呼ぶ。

【0055】他方、Y電極Y1の上記一端は、第1Y電極ドライバ回路4a (図1参照) 内に設けられた、FET 13、14を含むクランプスイッチ素子13、14に接続されている。

【0056】かかる接続形態は、容量成分CP2即ちPDP 1のX電極X2及びY電極Y2についても同様であり、X電極X2の上記一端はFET 17、18を含むクランプスイッチ素子17、18に接続されており、Y電極Y2の上記一端はFET 19、20を含むクランプスイッチ素子19、20に接続されている。クランプスイッチ素子17、18又はクランプスイッチ素子19、20はそれぞれ、図1中の第2X電極ドライバ回路3b、第2Y電極ドライバ回路4bの一部を成す。

【0057】さて、図2中の破線で囲んだ部分の回路2が、本プラズマディスプレイ装置10の特徴である無効電力回収回路2である。以下、無効電力回収回路2を「回収回路2」とも呼ぶ。

【0058】図2に示すように、回収回路2において、X電極X1の上記一端はFET 15のドレイン端子に接続され、FET 15のソース端子はコイル(インダクタ) 41の一端と接続され、コイル41の他端は逆方向電流阻止のためのダイオードのアノードに接続され、当該ダイオードのカソードはX電極X2の上記一端に接続されている。このFET 15はX電極X1、X2間の導

通状態の経路の形成（導通）／解消（非導通）を切り替えるスイッチ素子15（当該スイッチ素子の表記方法は上記のクランプスイッチ素子11、12と同様とする）として動作する。同様に、Y電極Y1、Y2同士もまた、FET21（スイッチ素子21）とコイル43と逆方向電流阻止用のダイオードとを介して接続されている。

【0059】更に、X電極X2の上記一端にコイル42の一端が接続され、コイル42の他端はFET16のドレイン端子に接続され、FET16のソース端子は逆方向電流阻止用のダイオードのアノードに接続され、当該ダイオードのカソードはY電極Y1の上記一端に接続されている。このFET16はX電極X2とY電極Y1との間の経路の導通状態の形成（導通）／解消（非導通）を切り替えるスイッチ素子16として動作する。同様に、Y電極Y2とX電極X1もまた、コイル44とFET22（スイッチ素子22）と逆方向電流阻止用のダイオードとを介して接続されている。

【0060】（プラズマディスプレイ装置10の駆動方法）次に、図2を参照しつつ、図3に示す維持放電期間（1サブフィールド）中の各パルスの電圧波形のタイミングチャートに従って、PDP1の駆動方法を説明する。なお、図3中の電位V11～V22はそれぞれFET11～FET22の各ゲート端子に印加される駆動信号電圧を示す。また、同図3中の電位VCP1、VCP2はそれぞれPDP1の第1、第2のブロックに係る容量成分CP1、CP2の両端の電圧、詳細にはそれぞれY電極Y1、Y電極Y2の電位を基準としたときのX電極X1、X電極X2の電位を示す。

【0061】なお、タイミングA以前においては、FET11、FET14、FET18、FET20のゲート端子には所定の信号電圧が印加されて各FET11、14、18、20はON状態にあり、他のFETはOFF状態にあるとする。この時、X電極X1はFET11を介して供給電源Vsに接続され、Y電極Y1はFET14を介して接地されているので、電位VCP1=Vsである。他方、X電極X2、Y電極Y2はそれぞれFET18、FET20を介して接地されているので、電位VCP2=0（接地電位）である。

【0062】なお、以下の第1期間ないし第4期間は本駆動方法の理解を助けるために区切った期間であり、本駆動方法はかかる期間の概念にとらわれるものではない。

【0063】（第1期間：タイミングA～タイミングC）さて、タイミングAにおいて、FET11及びFET18をOFFにした後にFET15をONにして、高電位VsにあるX電極X1と接地電位（低電位）にあるX電極X2との間にコイル41を介する経路の導通状態を形成する。これにより、容量成分CP1に貯えられていたエネルギー（即ち、X電極X1に充電されていた電

荷）が当該経路（LC共振回路）を介して容量成分CP2（即ち、X電極X2）に向かって放出される。従って、図3に示すように、本タイミングAにおいて、電位VCP1は電位Vsから下降し始め、逆に、電位VCP2は接地電位から上昇し始める。

【0064】そして、このエネルギー放出の途中において電位VCP2（の絶対値）がおよそ最大値である電位Vsに達したタイミングBで、FET17をONにする。これによって、上記のエネルギー放出に加えて、FET17を介して電位VCP2を電位Vsに充電し、保持（クランプ）する（電位VCP2=Vs）。

【0065】この表示電極対X2、Y2間が電位Vsにクランプされている期間中に外部印加電圧主体の放電が起こり、PDP1の第2ブロックが発光する。

【0066】その後、タイミングCにおいて、FET15をOFFに制御することでX電極X1とX電極X2との間の上記経路の導通を非導通状態に制御（これを上記経路の「解消」と称す）した後に、FET12をONにすることでX電極X1を接地電位にクランプする（電位VCP1=0）。

【0067】（第2期間：タイミングD～タイミングG）そして、タイミングDでFET14をOFFにした後に、引き続きタイミングEにおいて、FET17をOFFにし、FET16をONにして、高電位VsにあるX電極X2と接地電位（低電位）にあるY電極Y1との間にコイル42を介する経路の導通状態を形成する。これにより、容量成分CP2に貯えられていたエネルギー（即ち、X電極X2に充電されていた電荷）が当該経路（LC共振回路）を介して容量成分CP1（即ち、Y電極Y1）に向かって放出される。このエネルギー放出によって、電位VCP2は電位Vsから下降し始め、電位VCP1は、Y電極Y1の電位がX電極X1の電位よりも高くなるのに伴って、接地電位から下降し始める。

【0068】そして、上記のタイミングBと同様に、このエネルギー放出の途中において電位VCP1の絶対値がおよそ最大値である電位Vsに達したタイミングF（即ち、Y電極Y2の電位が電位Vsに達したタイミング）で、FET13をONにする。これによって、上記のエネルギー放出に加えて、FET13を介してY電極Y1の電位を電位Vsに充電し、クランプする（電位VCP2=-Vs）。

【0069】このクランプされた期間中に表示電極対X1、Y1間で外部印加電圧主体の放電が起こり、PDP1の第1ブロックが発光する。

【0070】その後、タイミングGにおいて、FET16をOFFに制御することでX電極X2とY電極Y1との間の上記経路の導通を解消した後に、FET18をONにすることでX電極X2を接地電位にクランプする（電位VCP2=0）。

【0071】（第3期間：タイミングH～タイミング

K)そして、タイミングHでFET20をOFFにした後に、引き続きタイミングIにおいて、FET13をOFFにした後にFET21をONにして、高電位 V_s にあるY電極Y1と接地電位（低電位）にあるY電極Y2との間にコイル43を介する経路の導通状態を形成する。これにより、容量成分CP1に貯えられていたエネルギー（即ち、Y電極Y1に充電されていた電荷）が当該経路（LC共振回路）を介して容量成分CP2（即ち、Y電極Y2）に向かって放出される。このエネルギー放出によって、Y電極Y1の電位は電位 V_s から下降し始め（従って、電位VCP1は電位 $-V_s$ から上昇し始め）、電位VCP2は、Y電極Y2の電位がX電極X2の電位よりも高くなるのに伴って、接地電位から下降し始める。このように、本第3期間では、PDP1の第2ブロックに対して上記の第1期間とは逆位相の駆動電圧を印加することになる。

【0072】そして、このエネルギー放出の途中において電位VCP2の絶対値がおよそ最大値である電位 V_s に達したタイミングJ（即ち、Y電極Y2の電位が電位 V_s に達したタイミング）で、FET19をONにする。これによって、上記のエネルギー放出に加えて、FET19を介してY電極Y2の電位を電位 V_s に充電し、クランプする（電位VCP2 $=V_s$ ）。

【0073】このクランプされた期間中に表示電極対X2、Y2間で外部印加電圧主体の放電が起こり、PDP1の第2ブロックが発光する。

【0074】その後、タイミングKにおいて、FET21をOFFに制御することでY電極Y1、Y2間の上記経路の導通状態を解消した後に、FET14をONにすることでY電極Y1を接地電位にクランプする（電位VCP1 $=0$ ）。

【0075】（第4期間：タイミングL～タイミングO）そして、タイミングLでFET12をOFFにした後に、引き続きタイミングMにおいて、FET19をOFFにした後にFET22をONにして、高電位 V_s にあるY電極Y2と接地電位（低電位）にあるX電極X1との間にコイル44を介する経路を形成する。これにより、容量成分CP2に貯えられていたエネルギー（即ち、Y電極Y2に充電されていた電荷）が当該経路（LC共振回路）を介して容量成分CP1（即ち、X電極X1）に向かって放出される。このエネルギー放出によって、Y電極Y2の電位は電位 V_s から下降し始め（従って、電位VCP2は電位 $-V_s$ から上昇し始め）、電位VCP1は接地電位から上昇し始める。このように、本第4期間では、PDP1の第1ブロックに対して上記の第2期間とは逆位相の駆動電圧を印加することになる。

【0076】そして、このエネルギー放出の途中において、電位VCP1（の絶対値）がおよそ最大値である電位 V_s に達したタイミングNで、FET11をONにする。これによって、上記のエネルギー放出に加えて、F

ET11を介してX電極X1の電位を電源電圧 V_s に充電し、クランプする（電位VCP1 $=V_s$ ）。

【0077】このクランプされた期間中に表示電極対X1、Y1間に外部印加電圧主体の放電が起こり、PDP1の第1ブロックが発光する。

【0078】その後、タイミングOにおいて、FET22をOFFに制御することでY電極Y2とX電極X1との間の上記経路の導通状態を解消した後に、FET20をONにすることでY電極Y2を接地電位にクランプする（電位VCP2 $=0$ ）。

【0079】本タイミングOに引き続くタイミングAAは上記のタイミングAに相当するので、以上のタイミングA～タイミングOを繰り返すことによって、維持放電期間中のガス放電を繰り返し発生させ、PDP1の画像表示発光を行う。

【0080】（壁電荷主体の放電を併用する駆動方法）上述の駆動方法は印加パルスの立下がり時での外部印加電圧主体の放電を用いるものであるが、本プラズマディスプレイ装置10によれば、印加パルスの立下がり時において壁電荷主体の放電をも利用する駆動方法が可能である。

【0081】この点に関して、図7に示す従来の並列共振型の無効電力回収回路202では、コイル208にエネルギーを吸収した後に直ちにPDP201の容量成分CPへ当該エネルギーを放出するので、たとえ壁電荷主体の放電を起こしうる程度の駆動電圧のパルスを印加する場合であっても、壁電荷主体の放電が生じる前あるいは壁電荷主体の放電が生じた直後に次の外部印加電圧主体の放電が起こってしまう。従って、かかる場合には壁電荷主体の放電が起こったとしても、微弱な放電しか得られない。

【0082】これに対して、本プラズマディスプレイ装置10では、図3中の電位VCP1、電位VCP2の電位変化に示すように、第1ブロックの表示電極対X1、Y1又は第2ブロックの表示電極対X2、Y2に印加するパルス電圧（駆動電圧）のそれぞれに休止期間を有する。例えば電位VCP1の休止期間は、図3中のタイミングB～タイミングE、タイミングJ～タイミングMである。従って、本プラズマディスプレイ装置10によれば、印加パルスの立下がり時、例えば電位VCP1のタイミングA～タイミングB、タイミングI～タイミングJにおいて、十分な大きさの壁電荷主体の放電を起こすことが可能であり、（i）壁電荷主体の放電を併用する駆動方法での既述の効果（a）～（h）を得ることができる。

【0083】なお、壁電荷主体の放電自身にも放電遅れが存在するので、印加パルスの間隔はある程度広い方が好ましいが、本プラズマディスプレイ装置10では各FETの動作タイミングを適切に設計することで、かかる要請にも十分に応え得る。

【0084】(効果)以上の構成及び駆動方法を有するプラズマディスプレイ装置10によれば、(i i)第1又は第2ブロックの内の一方向のブロックに属する、一の表示電極対間の容量成分CP1又はCP2に蓄積されたエネルギーを、他方のブロックの隣接する表示電極対間の容量成分(CP1又はCP2)への充電に利用する。

(無効電力の回収)ので(しかも、それが交互に行われる)、プラズマディスプレイ装置10の無効電力回収回路を確実に実現することができる。従って、本発明によれば、プラズマディスプレイ装置の省電力化を推進して、より一層の放電(発光)効率の高効率化を図ることができる。

【0085】更に、(i i i)上記の一方のブロックの容量成分CP1又はCP2に充電されたエネルギーをインダクタ41、42、43、44を介して、他方のブロックの表示電極対間の容量成分CP2又はCP1に蓄積(充電)するので、上述のエネルギーの蓄積のために新たな容量成分をPDPの外部回路内に及びPDP本体内部に別途に設けることを全く要しない。従って、(i v)従来の無効電力回収回路202、302(図7、図8参照)を単純に各ブロック毎に設けたプラズマディスプレイ装置と比較して、大幅に部品点数や配置スペースを少なくすることができる。即ち、プラズマディスプレイ装置10によれば、低コストな無効電力回収回路が実現できる。

【0086】そして、(v)図3中の電位VCP1、電位VCP2の電位変化に示すように、PDP1の第1ブロックの表示電極対X1、Y1又は第2ブロックの表示電極対X2、Y2のそれぞれに、交互に極性が変わるパルス電圧(駆動電圧)を印加し、且つ、両ブロック毎でのパルス電圧の位相をずらして印加しているので、既述の先行技術①と同様の効果を得ることができる。

【0087】加えて、本プラズマディスプレイ装置10によれば、第1ブロックの表示電極対X1、Y1と第2ブロックの表示電極対X2、Y2とが交互に隣接して配置されている(即ち、同一のブロックの表示電極対が隣接しない)ので、(v i)先行技術①に係るプラズマディスプレイ装置(図9参照)のように上下に分割されたPDPを有するプラズマディスプレイ装置と比較して、各ブロック間の境界で発生する輝度差に起因した表示品質の低下を低減することができ、PDPの表示に対する視認性を向上することができる。しかも、PDPの一部において集中的な点灯を必要とする画像表示の場合であっても、負荷を全体に割り振ることができるので、回路素子の特性のばらつきに起因する各ブロックの輝度差を低減することができる。

【0088】また、(v i i)かかる表示電極対の配置であっても、隣接する各ブロックの表示電極対間の電位差は最大でも電位Vsとしかかなり得ず、従来のPDPの隣接する表示電極対間の電位差と同様であるので、隣接

する各ブロックの表示電極対間での誤放電は生じ得ない。

【0089】更に、各駆動回路において複数のFETを並列に接続して使用する場合に、従来のプラズマディスプレイ装置では各FETから表示領域までの間に存在

(寄生)する各インダクタのインダクタンスがFET毎に異なるので、各FETがパラレルに動作せず、PDPを部分的に点灯させた時に高インダクタンス領域では駆動電圧のマージンの減少や輝度の低下等が生じる場合があった。これに対して、(v i i i)上記の表示電極対の配置によれば、各FETからの表示領域までのインダクタンスを均等化することができ、上記のマージンや輝度の低下を改善することができる。

【0090】更に、(i x)上記の表示電極対の配置ないしはPDP1の分割形態によれば、同一方向に流れる電流の間隔、即ち、同一ブロックの表示電極対同士の間隔が従来のPDPの2倍になるので、PDPの外部への不要な放射ノイズを低減することができ、電磁波障害(EMI)の防止にも寄与する。特に、上記のタイミングA～タイミングB、タイミングI～タイミングJでの充放電電流は互いに逆位相であるので、隣接する表示電極対間で放射界が打ち消され、不要な放射ノイズをより軽減することができる。

【0091】(実施の形態2)次に、実施の形態2に係るプラズマディスプレイ装置ないしはPDPの駆動方法について説明する。本プラズマディスプレイ装置のX及びY電極のドライバ回路には、従来の直列共振型の無効電力回収回路302(図8参照)に相当する無効電力回収回路が接続されており、当該回収回路の構成並びにPDPの駆動方法を中心に述べる。なお、本プラズマディスプレイ装置は、基本的には図1に示すプラズマディスプレイ装置10の構成を用いることができるので、以下の説明において同図1中の構成要素については同一の符号を以て表記する。

【0092】図4は本実施の形態2に係るプラズマディスプレイ装置50の駆動回路、特に無効電力回収回路52の構成を示す図である。

【0093】(プラズマディスプレイ装置50の構成)図4は、PDP1に関しては実施の形態1に係る回路構成(図2参照)と同様に、第1ブロックに属する、一の放電セルに係る容量成分CP1と第2ブロックに属する、隣接する放電セルに係る容量成分CP2とに分割して模擬的に図示している。

【0094】そして、容量成分CP1の両端、即ち、PDP1のX電極X1、Y電極Y1のそれぞれ的一端は、(n型MOS)FET61、62から成るクランプスイッチ素子61、62又は(n型MOS)FET63、64に接続されている。なお、クランプスイッチ素子61、62又はクランプスイッチ素子63、64はそれぞれ、図1中の第

1 X電極ドライバ回路3a又は第1 Y電極ドライバ回路4aの一部を構成している。

【0095】同様に、容量成分CP2の両端にも、図4に示すように、(n型MOS) FET69, 70から成るクランプスイッチ素子69, 70と(n型MOS) FET71, 72から成るクランプスイッチ素子71, 72とが接続されている。なお、クランプスイッチ素子69, 70又はクランプスイッチ素子71, 72はそれぞれ、図1中の第2 X電極ドライバ回路3b又は第2 Y電極ドライバ回路4bの一部を構成している。そして、上記4個のクランプスイッチ素子は各FETのゲート端子に印加される駆動信号(ゲート電圧)によって制御され、それらに接続された各電極の電位を電源電位Vsあるいは接地電位に保持(クランプ)する。

【0096】更に、上記4個のクランプスイッチ素子を介して、容量成分CP1, CP2(即ちPDP1)と図4中の破線で囲んだ無効電力回収回路52とが接続されている。詳細には、X電極X1に関して、X電極X1とクランプスイッチ素子61, 62との接続点にはコイル81の一端が接続され、コイル81の他端はFET66のドレイン端子に接続され、FET66のソース端子は逆方向電流阻止用ダイオードのアノードに接続され、当該ダイオードのカソードは電力回収用コンデンサCk1(以下、「回収コンデンサCk1」とも呼ぶ)の一端に接続され、回収コンデンサCk1の他端は接地されている。同時に、上記ダイオードのカソードは、別の逆方向電流阻止用ダイオードのアノードに接続され、当該別のダイオードのカソードはFET65のドレイン端子に接続され、FET65のソース端子はコイル81の上記他端に接続されている。

【0097】上述のFET65, 66及び2個の逆方向電流阻止用ダイオードから成る閉回路(図4参照)は容量成分CP1と回収コンデンサCk1とを結ぶ経路の途中に設けられており、当該経路の形成(導通)/解消(非導通)を切り替えるスイッチ素子(以下「スイッチ素子65, 66」のように呼ぶ)として動作する。

【0098】同様に、Y電極Y1とクランプスイッチ素子63, 64との接続点にはコイル82の一端が接続され、コイル82の他端は(n型MOS) FET67, 68を有するスイッチ素子67, 68を介して電力回収回路コンデンサCk2の一端に接続され、回収コンデンサCk2の他端は接地されている。

【0099】同様に、容量成分CP2に関しては、X電極X2とクランプスイッチ素子69, 70との接続点にはコイル83の一端が接続され、コイル83の他端は(n型MOS) FET73, 74を有するスイッチ素子73, 74を介して回収コンデンサCk1の上記一端に接続されている。Y電極Y2とクランプスイッチ素子71, 72との接続点にはコイル84の一端が接続され、コイル84の他端は(n型MOS) FET75, 76を

有するスイッチ素子75, 76を介して回収コンデンサCk2の上記一端に接続されている。

【0100】(プラズマディスプレイ装置5.0の駆動方法)次に、図4を参照しつつ、図5に示す維持放電期間(1サブフィールド)中の各パルスの電圧波形のタイミングチャートに従ってPDP1の駆動方法を説明する。なお、図5中の電位V61~V76のそれぞれはFET61~FET76の各ゲート端子に印加される駆動信号電圧を示す。また、同図5中の電位VCP1, VCP2はそれぞれPDP1の第1, 第2の各ブロックの容量成分CP1, CP2の両端の電圧、詳細には、それぞれY電極Y1, Y電極Y2の電位を基準としたときのX電極X1, X電極X2の電位を示す。また、同図5中の電位VCk1, VCk2はそれぞれ回収コンデンサCk1, Ck2の両端の電圧、詳細には、接地電位を基準としたときの各コンデンサCk1, Ck2の上記一端の電位を示す。

【0101】まず、タイミングa以前においては、FET61, FET64, FET70, FET72の各ゲート端子には所定の電圧が印加されてON状態にあり、他のFETはOFF状態にあるとする。この時、X電極X1はFET61を介して供給電源Vsに接続され、Y電極Y1はFET64を介して接地されているので、電位VCP1=Vsである。他方、X電極X2, Y電極Y2はそれぞれFET70, FET72を介して接地されているので、電位VCP2=0(接地電位)である。また、電位VCk1=0, 電位VCk2=Vsであるとする。

【0102】(第1期間:タイミングa~タイミングb)さて、タイミングaにおいて、FET61をOFFにした後にFET66をONにして、高電位VsにあるX電極X1と回収コンデンサCk1(所定の容量成分)と間にコイル81を介する経路の導通状態を形成する。これにより、容量成分CP1に貯えられていたエネルギー(即ち、X電極X1に充電されていた電荷)が当該経路(LC共振回路)を介して回収コンデンサCk1に向かって放出される。従って、図5に示すように、本タイミングaでは電位VCP1は電位Vsから下降し始め、逆に、電位VCk1は接地電位から上昇し始める。

【0103】そして、このエネルギー放出の途中において電位VCk1(の絶対値)がおおよそ最大値である電位Vsに達したタイミングbで、FET66をOFFにして、回収コンデンサCk1とX電極X1との間の当該経路の導通状態を解消(非導通)する。FET66のOFFの後に、FET62をONにしてX電極X1の電位を接地電位に保持(クランプ)する(電位VCP1=0)。

【0104】(第2期間:タイミングc~タイミングe)次に、タイミングcにおいて、FET70をOFFにした後にFET73をONにして、回収コンデンサC

k1と接地電位（低電位）にある第2ブロックのX電極X2との間にコイル83を介する（電荷放電のための）経路を形成する。これにより、回収コンデンサCk1に貯えられていたエネルギーが当該経路（LC共振回路）を介して容量成分CP2に向かって放出される。従って、本タイミングcでは、電位VCP2が接地電位から上昇し始め、逆に、電位VCk1は電位Vsから下降し始める。

【0105】そして、回収コンデンサCk1からのエネルギー放出の途中において電位VCP2（の絶対値）がおよそ最大値である電位Vsに達したタイミングdで、FET73をOFFにして、回収コンデンサCk1とX電極X2との間の当該経路の導通状態を非導通状態に制御（上記経路の解消）する。同時に、FET69をONにしてX電極X2の電位を電源電位Vsにクランプする（電位VCP2=Vs）。

【0106】このクランプ期間中に表示電極対X2、Y2間で外部印加電圧主体の放電が起こり、PDP1の第2ブロックが発光する。

【0107】他方、同タイミングdにおいて、FET64をOFFにした後にFET67をONにして、回収コンデンサCk2と接地電位（低電位）にあるY電極Y1との間にコイル82を介する（電荷放電）経路を形成する。これにより、回収コンデンサCk2に貯えられていたエネルギーが当該経路（LC共振回路）を介して容量成分CP1に向かって放出される。従って、本タイミングdでは、電位VCk2が電位Vsから下降し始め、電位VCP1は、Y電極Y1の電位がX電極X1よりも高くなるのに伴って、接地電位から下降し始める。

【0108】そして、回収コンデンサCk2からのエネルギー放出の途中において、電位VCP1の絶対値がおよそ最大値である電位Vs（即ち、Y電極Y1の電位が電位Vs）に達したタイミングeで、FET67をOFFに制御することにより回収コンデンサCk2とY電極Y2との間の当該（電荷放電）経路の導通状態を解消する。同時に、FET63をONにしてY電極Y2の電位を電源電位Vsにクランプする（電位VCP1=-Vs）。

【0109】このクランプ期間中に表示電極X1、Y1間で外部印加電圧主体の放電が起こり、PDP1の第1ブロックが発光する。

【0110】特に、本プラズマディスプレイ装置50では、既述の効果(v)～(ix)を確実に発揮させるために、本第2期間における第1ブロックでの放電のタイミングは第2ブロックでの放電が終了するタイミング以降に設定している。

【0111】（第3期間：タイミングf～タイミングh）次に、タイミングfにおいて、FET69をOFFにした後にFET74をONにして、回収コンデンサCk1と高電位Vsにある第2ブロックのX電極X2との

間にコイル83を介する（電荷放電）経路ないしはエネルギーを放出する経路を形成する。これにより、容量成分CP2に貯えられていたエネルギーが当該経路（LC共振回路）を介して回収コンデンサCk1に向かって放出される。従って、本タイミングfでは、電位VCP2が電位Vsから下降し始め、逆に、電位VCk1は接地電位から上昇し始める。

【0112】そして、容量成分CP2からのエネルギー放出の途中において電位VCk1（の絶対値）がおよそ最大値である電位Vsに達したタイミングgで、FET74をOFFに制御することによりX電極X2と回収コンデンサCk1との間の当該経路の導通状態を解消する。同時に、FET70をONにしてX電極X2の電位を接地電位にクランプする（電位VCP2=0）。

【0113】他方、同タイミングgにおいて、FET63をOFFにした後にFET68をONにして、高電位VsにあるY電極Y1と回収コンデンサCk2との間にコイル82を介する（電荷放電）経路の導通状態を形成する。これにより、容量成分CP1に貯えられていたエネルギーが当該経路（LC共振回路）を介して回収コンデンサCk2に向かって放出される。従って、本タイミングgでは、電位VCk2が接地電位から上昇し始め、電位VCP1は、Y電極Y1の電位が接地電位へ下降し始めるのに伴って電位-Vsから上昇し始める。

【0114】そして、容量成分CP1からのエネルギー放出の途中において電位VCk2（の絶対値）がおよそ最大値である電位Vsに達したタイミングhで、FET68をOFFにすることにより、Y電極Y2と回収コンデンサCk2との間の当該経路の導通状態を解消する。同時に、FET64をONにしてY電極Y1の電位を接地電位にクランプする（電位VCP1=0）。

【0115】（第4期間：タイミングi～タイミングk）次に、タイミングiにおいて、FET72をOFFにした後にFET75をONに制御して、回収コンデンサCk2と接地電位（低電位）にあるY電極Y2との間にコイル84を介する経路の導通状態を形成する。これにより、回収コンデンサCk2に貯えられていたエネルギーが当該経路（LC共振回路）を介して容量成分CP2に向かって放出される。従って、本タイミングiでは、電位VCk2は電位Vsから下降し始め、電位VCP2は、Y電極Y2の電位がX電極X2よりも高くなるのに伴って、接地電位から下降し始める。

【0116】そして、回収コンデンサCk2からのエネルギー放出の途中において、電位VCP2の絶対値がおよそ最大値である電位Vs（即ち、Y電極Y2の電位が電位Vs）に達したタイミングjで、FET75をOFFに制御して、回収コンデンサCk2とY電極Y2との間の当該経路の導通状態を解消する。同時に、FET71をONにしてY電極Y2の電位を電源電位Vsにクランプする（電位VCP2=-Vs）。

【0117】このクランプ期間中に、表示電極X2、Y2間で外部印加電圧主体の放電が起こり、PDP1の第2ブロックが発光する。

【0118】他方、同タイミングjにおいて、FET62をOFFにした後にFET65をONにして、回収コンデンサCk1と接地電位（低電位）にあるX電極X1との間にコイル81を介する経路の導通状態を形成する。これにより、回収コンデンサCk1に貯えられていたエネルギーが当該経路（LC共振回路）を介して容量成分CP1に向かって放出される。従って、本タイミン

10

グjでは、電位VCk1は電位Vsから下降し始め、電位VCP1は接地電位から上昇し始める。

【0119】そして、回収コンデンサCk1からのエネルギー放出の途中において、電位VCP1（の絶対値）がおよそ最大値である電位Vsに達したタイミングkで、FET65をOFFにすることにより回収コンデンサCk1とX電極X1との間の当該経路の導通状態を解消する。同時に、FET61をONにしてX電極X1の電位を電源電位Vsにクランプする（電位VCP1=Vs）。

20

【0120】このクランプ期間中に表示電極X1、Y1間で外部印加電圧主体の放電が起こり、PDP1の第1ブロックが発光する。

【0121】特に、上記第2期間と同様に、本第4期間における第1ブロックでの放電のタイミングは第2ブロックでの放電が終了するタイミング以降に設定している。

【0122】（第5期間：タイミングl～タイミングa）次に、タイミングlにおいて、FET71をOFFにした後にFET76をONにして、高電位VsにあるY電極Y2と回収コンデンサCk2との間にコイル84を介する経路の導通状態を形成する。これにより、容量成分CP2に貯えられていたエネルギーが当該経路（LC共振回路）を介して回収コンデンサCk2に向かって放出される。従って、本タイミングlでは、電位VCk2が接地電位から上昇し始め、電位VCP2は、Y電極Y2の電位が電位Vsから下降し始めるに伴って、電位-Vsから上昇し始める。

30

【0123】そして、容量成分CP2からのエネルギー放出の途中において電位VCk2（の絶対値）がおよそ最大値である電位Vsに達したタイミングaaで、FET76をOFFにして、Y電極Y2と回収コンデンサCk2との間の当該経路の導通状態を解消する。同時に、FET72をONにしてY電極Y2の電位を接地電位にクランプする（電位VCP2=0）。

40

【0124】他方、同タイミングaaにおいて、FET61をOFFにした後にFET66をONに制御して、高電位VsにあるX電極X1と回収コンデンサCk1との間にコイル81を介する経路の導通状態を形成する。これにより、容量成分CP1に貯えられていたエネルギー

50

一が当該経路（LC共振回路）を介して回収コンデンサCk1に向かって放出される。従って、本タイミングaaでは、電位VCP1は電位Vsから下降し始め、電位VCk1は接地電位から上昇し始める。

【0125】上記タイミングaaは既述のタイミングaに相当するので、以上のタイミングa～タイミングlを繰り返すことによって、維持放電期間中のガス放電を繰り返し発生させ、PDP1の画像表示発光を行う。

【0126】なお、上記第1期間ないし第5期間は上述の説明の理解を助けるために区切った期間であり、本駆動方法はかかる期間の概念にとらわれるものではない。例えば、両容量成分CP1、CP2の電位VCP1、VCP2が共に接地電位にあるタイミングcを維持放電期間の時刻の原点としても良い。

【0127】更に、上述の駆動方法は印加パルスの立下がり時での外部印加電圧主体の放電を用いるものであるが、勿論、印加パルスの立下がり時において壁電荷主体の放電をも利用する駆動方法も可能である。即ち、印加パルスの立下がり時、例えば電位VCP1のタイミングa～タイミングb、タイミングg～タイミングhにおいて、壁電荷主体の放電を併用する駆動方法が可能であり、既述の同駆動方法の効果(a)～(h)を得ることができる。

【0128】更に、本実施の形態2に係るプラズマディスプレイ装置50によれば、既述の効果(i)～(ix)と同様の効果を得ることができる。

【0129】なお、実施の形態1、2に係るPDPの表示電極対の配置は、図9に示すような各表示電極対の配置であっても構わない。但し、上述の効果(v)～(ix)を十分に発揮させるためには、上述の実施の形態1、2に係るPDPのように各ブロックの表示電極対を交互に配置する形態（図1参照）が好ましい。

【0130】以上の実施の形態1、2に係るプラズマディスプレイ装置の説明において、2つのブロックに分割されたPDPを有する場合を述べたが、実施の形態1あるいは実施の形態2に係る技術的思想はかかる場合に限られるものではなく、更に多くのブロックに分割されたPDPに対しても適用でき、既述の効果(i)～(ix)を奏することは言うまでもない。

【0131】

【発明の効果】（1）請求項1に係る発明によれば、一ブロックの表示電極対間の容量成分に蓄積されたエネルギーを、他のブロックの表示電極対間の容量成分の充電に利用し（無効電力の回収）、しかも、それが複数のブロック間で順次に行われるので、プラズマディスプレイ装置10の無効電力回収回路を確実に実現することができる。従って、本発明によれば、プラズマディスプレイ装置の省電力化を推進して、より一層の放電（発光）効率の高効率化を図ることができる。

【0132】また、各ブロック毎でのパルス電圧の位相

をずらして印加するので、先行技術①と同様の効果を得ることができる。

【0133】(2) 請求項2に係る発明によれば、上記(1)と同様の効果を得ることができる。

【0134】(3) 請求項3に係る発明によれば、所定の容量成分とは他のブロックの内の一のブロックの表示電極対間の容量成分であるので、上記のエネルギーの蓄積のために新たな容量成分をPDPの外部回路内に及びPDP本体内部に別途に設けることを全く要しない。従って、かかる駆動方法により駆動されるプラズマディスプレイ装置では、従来の無効電力回収回路を単純に各ブロック毎に設けたプラズマディスプレイ装置と比較して、大幅に部品点数や配置スペースを削減することができる。即ち、本駆動方法を用いることにより、無効電力回収回路ないしはプラズマディスプレイ装置の低コスト化を図ることができる。

【0135】(4) 請求項4に係る発明によれば、各ブロックに共通な所定の容量成分を介して上記のエネルギーの蓄積(充電)/放出を行うので、本駆動方法により駆動されるプラズマディスプレイ装置は、従来の無効電力回収回路を単純に各ブロック毎に設けたプラズマディスプレイ装置と比較して、大幅に部品点数や配置スペースを削減することができる。即ち、本駆動方法を用いることにより、無効電力回収回路ないしはプラズマディスプレイ装置の低コスト化を図ることができる。

【0136】(5) 請求項5に係る発明によれば、表示電極対に印加されるパルス電圧は、外部印加電圧主体の放電及び壁電荷主体の放電を起こしうる電圧であるので、1回あたりの放電の電流密度を下げることで、放電効率ないしは発光効率が向上でき、ピーク電流値(瞬時電流)の低減が可能である。

【0137】更に、ピーク電流値の低減に伴って、駆動回路やパネルに存在する抵抗成分による、PDPの駆動時における電力損失を減少することができる。加えて、プラズマディスプレイ装置内のインダクタンスや抵抗成分による電圧降下(電圧ドロップ)が低減されるので、印加電圧のマージンを拡大することができる。

【0138】更に、本発明によれば、壁電荷主体の放電に引き続く外部印加電圧主体の放電時での各セルの発光強度をそろえることができるので、パネルの面内輝度のばらつき(表示のムラ)を有効に抑制・除去することができる。

【0139】(6) 請求項6に係る発明によれば、上記(1)乃至(5)のそれぞれの効果を有するプラズマディスプレイ装置を得ることができる。

【0140】(7) 請求項7に係る発明によれば、一のブロックの表示電極対と他のブロックの内の一のブロックの表示電極対とが隣接して配置されているので、同一のブロックに属する表示電極対が隣接しない。従って、先行技術①に係るPDPのように上下に分割したPDP

を有するプラズマディスプレイ装置と比較して、各ブロック間の境界で発生する輝度差に起因した表示品質の低下を低減することができ、PDPの表示画面の視認性を向上することができる。しかも、PDPの一部に集中的な点灯を必要とする画像表示の場合であっても、負荷をPDPの全体に割り振ることができるので、回路素子の特性のばらつきに起因する輝度差を低減することができる。

【0141】更に、本発明によれば、各ブロックの駆動回路において複数のFETを並列に接続して使用する場合に、PDPが複数のブロックに分割することなく駆動される従来のプラズマディスプレイ装置と比較して、各FETからの表示領域までのインダクタンスを均等化することができ、印加電圧のマージンや輝度の低下を改善することができる。

【0142】更に、本発明によれば、同一方向に流れる電流の間隔、即ち、同一ブロックの表示電極対の間隔が従来のPDPよりも大きくなるので、PDPの外部への不要な放射ノイズを低減することができ、電磁波障害(EMI)の防止にも寄与する。

【0143】(8) 請求項8に係る発明によれば、上記(6)と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】 実施の形態1に係るプラズマディスプレイパネル装置の全体構成を示すブロック図である。

【図2】 実施の形態1に係るプラズマディスプレイ装置の無効電力回収回路の構成を説明するための図である。

【図3】 実施の形態1に係るプラズマディスプレイ装置の駆動波形を示すタイミングチャートである。

【図4】 実施の形態2に係るプラズマディスプレイ装置の無効電力回収回路の構成を説明するための図である。

【図5】 実施の形態2に係るプラズマディスプレイ装置の駆動波形を示すタイミングチャートである。

【図6】 従来の交流面放電型プラズマディスプレイパネルの構造を示す斜視図である。

【図7】 従来のプラズマディスプレイ装置に係る並列共振型の無効電力回収回路の構成を説明するための図である。

【図8】 従来のプラズマディスプレイ装置に係る直列共振型の無効電力回収回路の構成を説明するための図である。

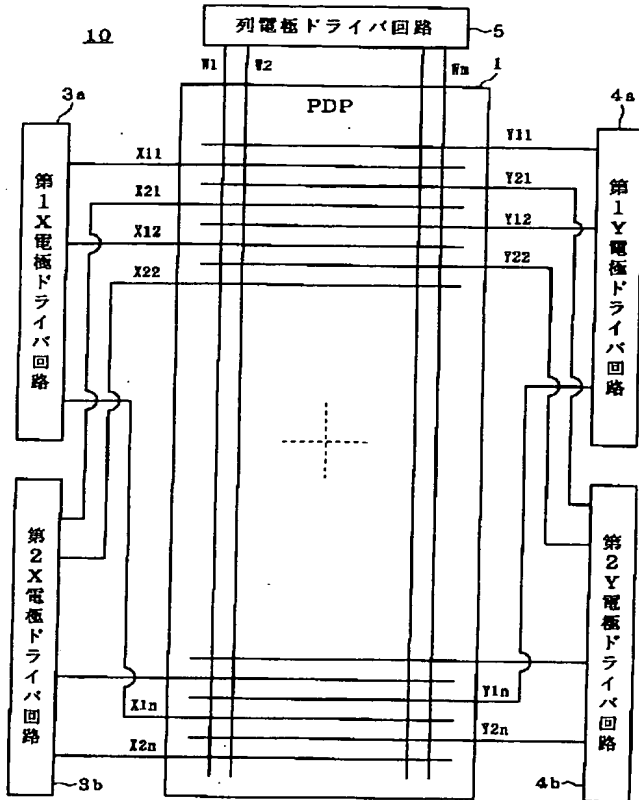
【図9】 先行技術に係るプラズマディスプレイ装置の全体構成を示すブロック図である。

【符号の説明】

1 プラズマディスプレイパネル、2, 52 無効電力回収回路、3a 第1X電極ドライバ回路、3b 第2X電極ドライバ回路、4a 第1Y電極ドライバ回路、4b 第2Y電極ドライバ回路、10, 50 プラズマ

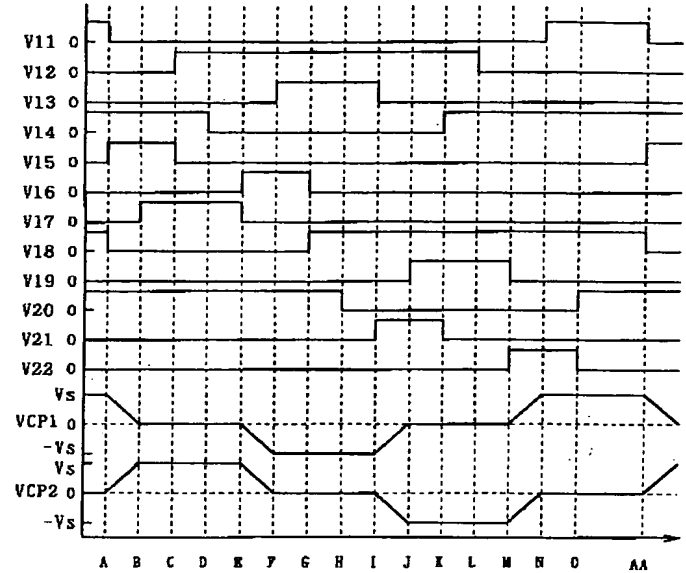
ディスプレイ装置、15, 16, 21, 22, 65~68, 73~76 スイッチ素子 (n型MOSFET)、41~44, 81~84 インダクタ (コイル)、CP1, CP2 プラズマディスプレイパネルの容量成分 (所定の容量成分)、Ck1, Ck2 電力回収コンデ

【図1】

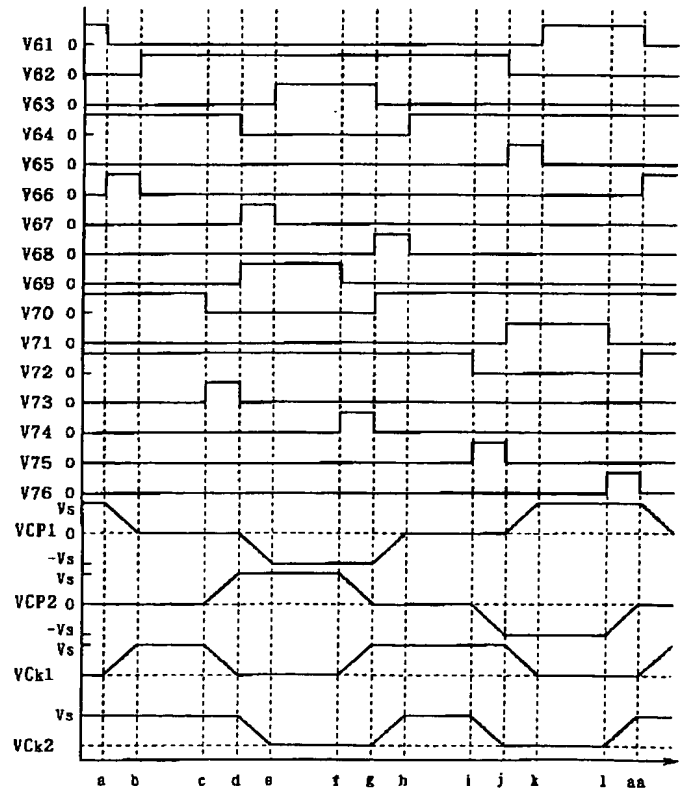


ンサ (所定の容量成分)、 V_s 電源電位 (高電位)、 $X_{11} \sim X_{1n}$, $X_{21} \sim X_{2n}$, X_1 , X_2 第1の電極 (X電極)、 $Y_{11} \sim Y_{1n}$, $Y_{21} \sim Y_{2n}$, Y_1 , Y_2 第2の電極 (Y電極)。

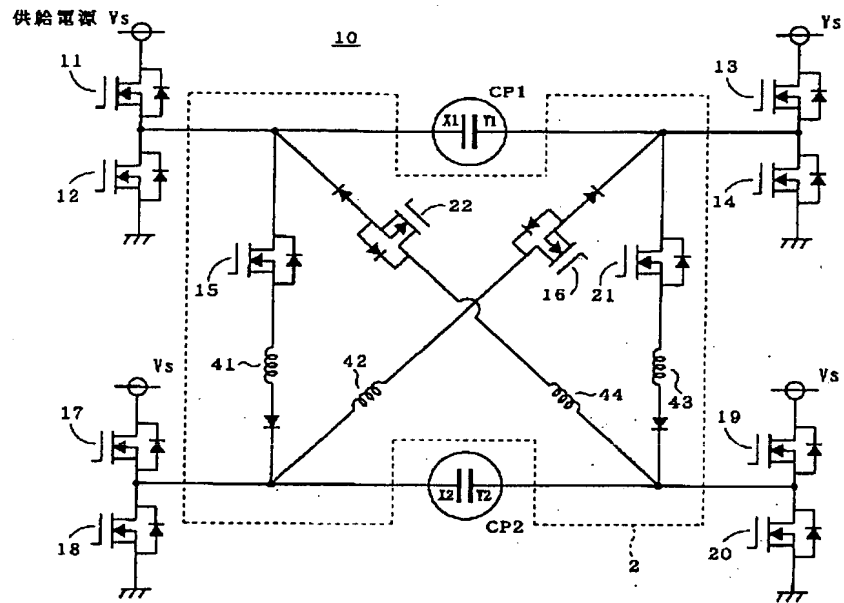
【図3】



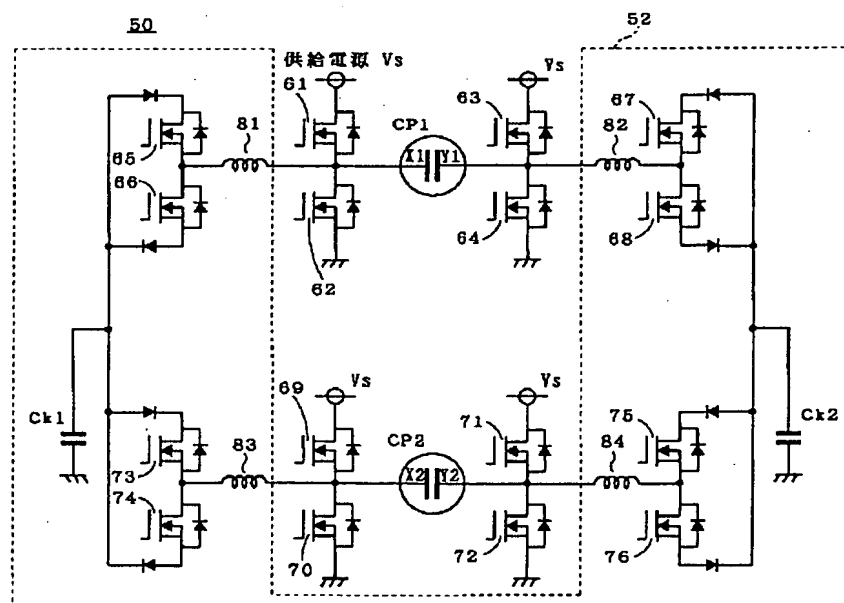
【図5】



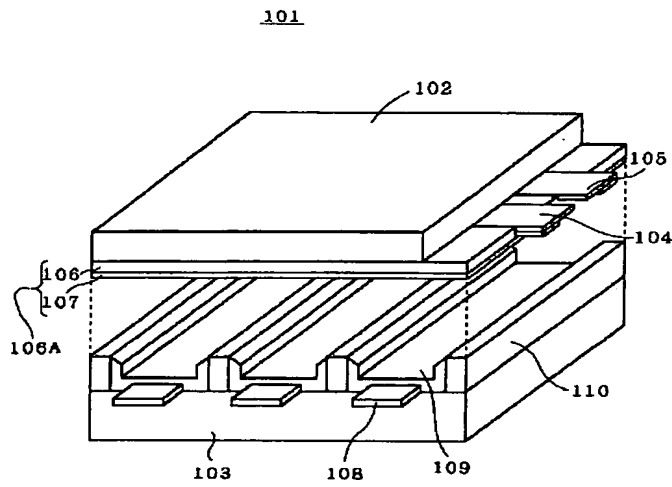
【図 2】



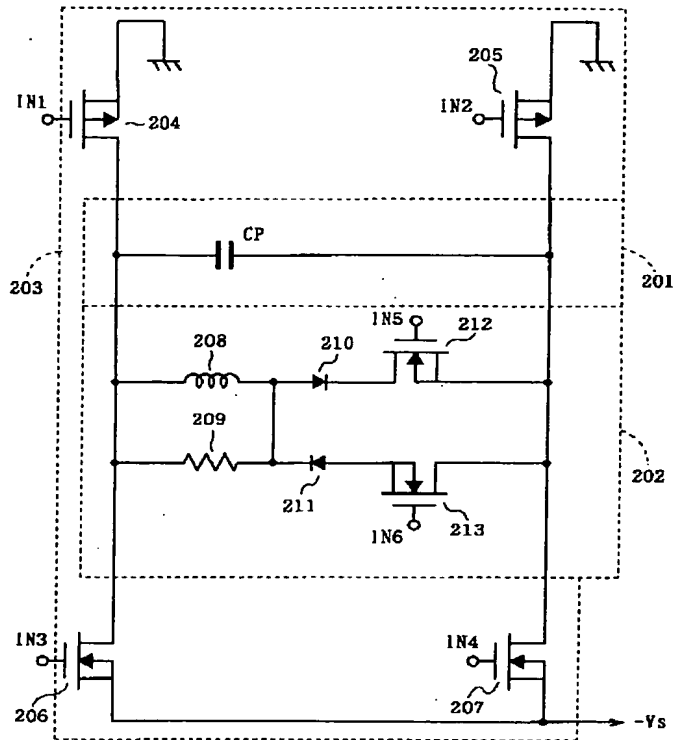
【図 4】



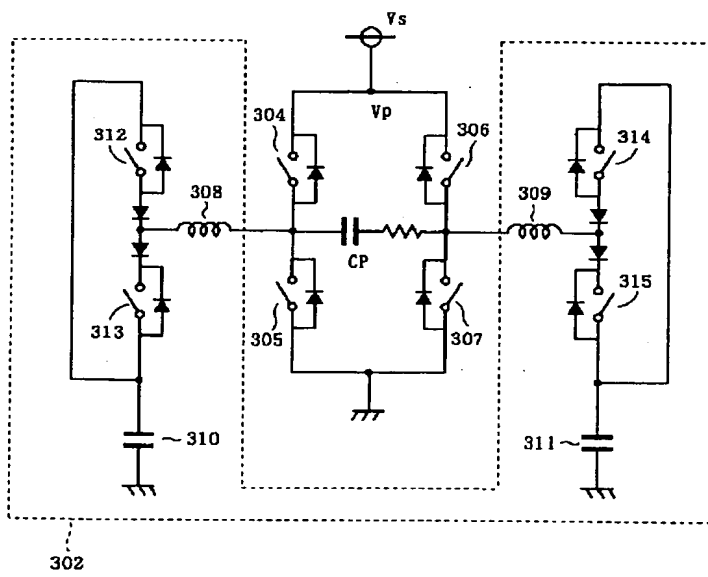
【図 6】



【図 7】



【図 8】



【図9】

